

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-271712

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

602F 1/133
602F 1/1339
606F 3/033
609F 9/00

(21)Application number : 10-071673

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.03.1998

(72)Inventor : FUKUNAGA YOKO
AKIYAMA MASAHIKO
NAKAI YUTAKA

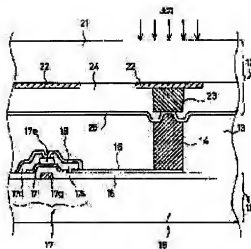
(54) LIQUID CRYSTAL DISPLAY DEVICE AND POSITION DETECTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the lightweight, thin type liquid crystal display device with a coordinates input function which has high picture quality and low power consumption.

SOLUTION: The liquid crystal display device is constituted by arranging a spacer 14 for maintaining a gap between an array substrate 11 and an opposite substrate 12 where a liquid crystal layer is sandwiched and a pressure detecting element such as a piezoelectric body 23 so that they are put one over the other. The pressure detecting element outputs a signal in response to pressure applied to a liquid crystal panel and coordinates detection is carried out according to this signal.

Consequently, the position detecting function can be added to the liquid crystal display device without causing a decrease in display quality, low position detection precision, an increase in weight, etc.



特開平11-271712

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl. ⁴	識別記号
G 0 2 F 1/133	5 3 0
	1/1339 5 0 0
G 0 6 F 3/033	3 5 0
G 0 9 F 9/00	3 6 6

F I	
G 0 2 F 1/133	5 3 0
	1/1339 5 0 0
G 0 6 F 3/033	3 5 0 A
G 0 9 F 9/00	3 6 6 G

審査請求 未請求 請求項の数4 O L (全 22 頁)

(21) 出願番号 特願平10-71673

(22) 出願日 平成10年(1998)3月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福永 容子

神奈川県横浜市新磯区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 秋山 政彦

神奈川県横浜市新磯区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 中井 豊

神奈川県横浜市新磯区新磯子町33 株式会
社東芝生産技術研究所内

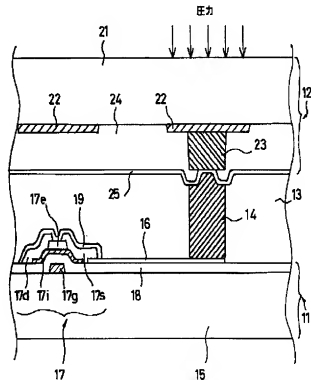
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置および位置検出装置

(57) 【要約】

【課題】 高画質で低消費電力かつ軽量薄型の座標入力機能付き液晶表示装置を提供する。

【解決手段】 液晶表示装置において、液晶層を挟持するアレイ基板11と対向基板12とのギャップを保つためのスペーサ14と、圧電体23などの圧力検出素子を重なるように配設する。液晶パネルに印加された圧力により、圧力検出素子が信号を出力し、この信号に基づいて座標検出を行う。このような構成を採用することにより従来問題となっていた表示品質の低下、位置検出精度の低下、または重量の増大などの問題を生ずることなく、液晶表示装置に位置検出機能を付加することができる。



【特許請求の範囲】

【請求項1】 第1の電極が配設された第1の基板と、第2の電極が配設された第2の基板と、前記第1の基板と前記第2の基板との間にマトリクス状に配設された柱状のスペーサーと、前記スペーサーにより保持された前記第1の基板と前記第2の基板との間隙に挟持された液晶層と、前記第1の電極または前記第2の電極に表示信号電圧を印加する手段と、前記第1の基板または前記第2の基板の前記スペーサーと対向する領域に配設された感圧素子と、前記感圧素子に圧力が加わった時、前記感圧素子の出力信号に基づいて、前記圧力が加わった感圧素子の位置を検出する手段とを具備したことを特徴とする液晶表示装置。

【請求項2】 前記スペーサーの少なくとも一部は圧電性材料により構成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記第1の基板または前記第2の基板の前記感圧素子が配設された面に配設された抵抗膜をさらに具備し、前記感圧素子の前記出力信号は前記抵抗膜を介して検出されることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】 第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間にマトリクス状に配設された柱状のスペーサーと、前記第1の基板または前記第2の基板の前記スペーサーと対向する領域に配設された感圧素子と前記感圧素子に圧力が加わった時、前記感圧素子の出力信号に基づいて、前記圧力が加わった感圧素子の位置を検出する手段とを具備したことを特徴とする位置検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は表示画面に位置検出機能を内蔵した表示装置に関し、特に表示画面に位置検出機能を内蔵した液晶表示装置に関する。また本発明は位置検出装置に関し、特に表示装置との整合性の高い位置検出装置に関する。

【0002】

【従来の技術】 近年、液晶表示装置は高画質化、高精細化が進められており、パーソナルコンピュータ用ディスプレイなどの中小型ディスプレイとしてはブラウン管に代わり主流になりつつある。また、最近では移動通信技術の進歩により、液晶表示装置の携帯端末としての展開が期待されている。

【0003】 携帯端末には、書込み入力ペンまたは指からの加圧点の座標の検出機能を備えることが望ましい。現在このような入力方式として、透明な抵抗膜を2枚対向させ、圧力印加により抵抗膜がショートすること

を利用した抵抗膜抵抗感圧方式が主流であり、この位置検出デバイスを液晶表示装置における観測側に外付けして用いている。

【0004】 このような位置検出デバイスの外付け方式においては、以下のような問題点がある。まず、(1) 外付けした位置検出デバイスによる反射/吸収に由来する光ロスにより表示品質が低下したり、(2) 外付けした位置検出デバイスでの反射により表示画像が2重像となるという問題がある。抵抗膜感圧方式における透明電極/空気界面での反射は界面あたり5 [%]程度であり、基板および透明電極での吸収は5 [%]程度である。したがって、光ロスは透過型液晶表示装置で $(1-0.9^2)=20$ [%]程度、反射型液晶表示装置では光路が倍になるため $(1-0.9^4)=35$ [%]程度となる。このような光ロスをバックライトの輝度で補償することも可能だが、その場合消費電力が増大してしまう。反射型液晶表示では表示画面上に外付けした位置検出デバイスに起因する反射率不足により、画質が低下してしまう。特に反射型液晶表示装置の場合もともと表示輝度に制約があるため、この光ロスによる画質低下は大きな問題となる。

【0005】 また位置検出デバイスを外付けした場合、(3) 位置検出デバイスと表示装置との張り合わせ精度が十分に得ることが困難で、入力位置と液晶表示装置の表示座標とにずれが生じてしまうという問題がある。外付け方式においては、座標入力等を行う位置検出デバイスを表示装置に貼り合わせる工程を必要とするが、両装置を精度良く貼りあわせることは難しく、表示位置と座標入力位置とのズレを生じる原因となる。この位置ズレを解決するためには、個々の製品に対して回路的な補正を施す必要があり、コストアップの原因となる。

【0006】 また、(4) 位置検出デバイスの厚さによる表示、入力位置・表示位置の視差ズレの問題もある。

【0007】 表示装置の表示画面と位置検出デバイスとを互いに接して貼り合わせると、ギャップムラによる干渉縞が発生して表示品質を著しく低下させてしまう。そのため、表示装置の表示画面と位置検出デバイスとの間には1 [mm]程度のギャップを設ける必要がある。その結果、位置検出デバイスの座標検出面と表示装置の表示画面との間には、位置検出デバイスの厚ささらにギャップの厚さを加えた分の距離が存在し、装置のユーザー（観測者）の視線の方向によって表示位置と座標入力位置とのズレ（パララックス）が生じてしまうという問題がある。

【0008】 さらに、(5) 外付けした位置検出デバイスにより、表示装置全体の厚さ、重量が大きくなってしまいう問題もある。外付け抵抗膜感圧方式においては、外付け部材の重量・厚さに加え、上述のギャップ分の厚さ加わり、モジュールの軽量・薄体化が困難になるという問題点がある。特に携帯型電子機器の場合に

は、重量、大きさの増大は可塑性を低下させてしまう。

【0009】

【発明が解決しようとする課題】本発明はこのような問題点を解決するためになされたものである。すなわち本発明は、従来の外付け位置検出機能付き表示装置における上述の問題点を解決し、位置検出機能を付加することによる画質低下のない、高い表示品質を備えた表示装置を提供することを目的とする。また本発明は、位置ずれやバラツキのない、入力位置精度の高い位置検出機能を備えた表示装置を提供することを目的とする。また本発明は位置検出機能の付加による重量、大きさの増大の少ない、軽量薄型で携帯用途にも適した表示装置を提供することを目的とする。

【0010】また本発明は消費電力の小さな位置検出機能付き表示装置を提供することを目的とする。さらに本発明は、生産性の高い構造を備えた位置検出機能付き表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記した問題点は、いずれも座標入力機能を例えば液晶セルのような表示装置自体に内蔵させることにより解決することができる。しかしながら、液晶表示装置はセルギャップ両端の電極の電位差により表示状態をするため、従来の抵抗感圧（接触）方式を単純に液晶セルに内蔵させることはできなかった。本発明は以下に説明するような構成を採用することにより、座標入力機能を表示装置に内蔵させたものである。

【0012】前述のような課題を解決するため、本発明は以下のような構成を備えている。本発明の液晶表示装置は、第1の電極が配設された第1の基板と、第2の電極が配設された第2の基板と、前記第1の基板と前記第2の基板との間にマトリクス状に配設された柱状のスペーサーと、前記スペーサーにより保持された前記第1の基板と前記第2の基板との間隙に挟持された液晶層と、前記第1の電極または前記第2の電極に表示信号電圧を印加する手段と、前記第1の基板または前記第2の基板の前記スペーサーと対向する領域に配設された圧力検出素子と、前記圧力検出素子に圧力が加わった時、前記圧力検出素子の出力信号に基づいて、前記圧力が加わった圧力検出素子の位置を検出する手段、とを具備したことを特徴とする。

【0013】また、第1の電極が配設された第1の基板と、第2の電極が配設された第2の基板と、前記第1の基板と前記第2の基板との間にマトリクス状に配設されたスペーサーと、前記第1の基板と前記第2の基板との間に挟持された液晶層と、前記第1の電極と前記第2の電極との間に表示信号に対応した電圧を印加する手段と、前記第1の基板または前記第2の基板の前記スペーサーと対向する領域に配設された圧力検出素子と、前記圧力検出素子に圧力が加わった時、前記圧力検出素子の抵抗

変化または誘起電位に基づいて、前記圧力が加わった圧力検出素子の位置を検出する手段、とを具備するようにしてもよい。

【0014】また、第1の領域と第2の領域とを有し、前記第1の領域に第1の電極が配設された第1の基板と、第1の領域と第2の領域とを有し、前記第1の領域に第2の電極が配設された第2の基板と、前記第1の基板の前記第2の基板および前記第2の基板の前記第2の領域と対向するように、前記第1の基板と前記第2の基板との間にマトリクス状に配設された柱状のスペーサーと、前記スペーサーにより保持された前記第1の基板と前記第2の基板との間隙に挟持された液晶層と、前記第1の電極または前記第2の電極に表示信号電圧を印加する手段と、前記第1の基板の前記第2の領域または前記第2の基板の前記第2の領域に配設された圧力検出素子と、前記圧力検出素子に圧力が加わった時、前記圧力検出素子の出力信号に基づいて、前記圧力が加わった圧力検出素子の位置を検出する手段、とを具備するようにしてもよい。

【0015】液晶表示装置の表示領域の一部に圧力が加わった場合、その圧力のほとんどはその領域に配設されたスペーサーが変えることから知られている。本発明は、このスペーサー部の圧力集中を利用して、スペーサー部に設けられた圧力検出素子により位置座標を検出するものである。

【0016】本発明は、アクティブマトリクス型の液晶表示装置に適用するようにしてもよいし、単純マトリクス型の液晶表示装置に適用するようにしてもよい。

【0017】またアクティブマトリクス型液晶表示装置の場合、走査線駆動回路から走査線へ走査信号が、信号線駆動回路から信号線へは表示信号が印加される。そして、各画素電極ごとに配設された例えば薄膜トランジスタ、MIMなどの非線形スイッチング素子は走査信号によりオン、オフしオン状態のときに信号線に印加された表示信号を選択して画素電極に印加する。

【0018】また、柱状スペーサーの高さを調整することにより、液晶層の厚さ（セルギャップ）を、スペーサーの密度を調整することにより、スペーサー1個あたりにかかる圧力範囲を最適化することが可能となる。スペーサーを画素と重複しないようなかつ圧力検出素子と対応するような適切な位置に配設することができれば、柱状スペーサー以外の例えば球状スペーサー等を用いるようにしてもよい。また、前記スペーサーの少なくとも一部は圧電性材料により構成されていてもよい。

【0019】また、前記第1の基板または前記第2の基板の前記圧力検出素子が配設された面に配設された抵抗膜をさらに具備し、前記圧力検出素子の前記出力信号は前記抵抗膜を介して検出するようにしてもよい。この場合抵抗膜は、液晶表示素子の画素領域と重ならないようにパターンニングするようにしてもよい。またいわゆるブ

ラックマトリクスと呼ばれる遮光膜と共用するようにしてもよい。このような構成を採用することにより、抵抗膜の吸収による光ロスや抵抗膜の電位の液晶表示への影響を回避することができる。また抵抗膜として、液晶表示装置にもともと存在するブラックマトリクスを用いることにより、抵抗膜を別に形成する場合に比べ工程数が削減し、生産性を向上することができる。

【0020】圧力検出素子からの出力信号を抵抗膜を通して出力することにより、抵抗または容量の加圧部からの距離依存性を利用して、例えば画素領域の外周部など基板の端部から出力される信号の比から位置座標を検出するようにしてもよい。

【0021】本発明の位置検出装臈は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間にマトリクス状に配設された柱状のスペーサと、前記第1の基板または前記第2の基板の前記スペーサと対向する領域に配設された圧力検出素子と、前記圧力検出素子に圧力が加わった時、前記圧力検出素子の出力信号に基づいて、前記圧力が加わった圧力検出素子の位置を検出する手段とを具備したことを特徴とする。このような構成を採用することにより本発明の位置検出装臈は表示装置との整合性を高めることができる。例えばスペーサにより保持された第1の基板と第2の基板との間隙に液晶組成物を配設し、第1の基板または第2の基板に電極を配設して液晶層の電気－光学応答を制御するようにすれば、表示品質を損ねることなく、かつ表示装置の大きさをコンパクトに保ちながら位置検出機能と表示機能とを両立することができる。また例えば、スペーサにより保持された第1の基板と第2の基板との間隙に電界効果型液晶層をアレイ状に配設してフィールドエミッションディスプレイを構成するようにしてもよい。またプラズマディスプレイ液晶表示装置に本発明を適用するようにしてもよい。

【0022】すなわち本発明の液晶表示装置は、圧力検出素子をスペーサとが対向するように配設した液晶表示装置である。

【0023】第1の電極パターンが配設された第1の基板と、第2の電極パターン配設された第2の基板と、前記第1の基板と第2の基板との間に挟持された液晶層と、前記第1の電極または前記第2の電極に表示信号電圧を印加する手段と、前記第1の基板と前記第2の基板との間に前記液晶層の厚さを保持するように挟持されたスペーサとを有する液晶表示装置において、前記第1の基板あるいは前記第2の基板のいずれか一方または前記第1の基板と前記第2の基板間に配設された圧力検出素子とを具備し、前記圧力検出素子と前記スペーサが対向させたものである。また前記スペーサの一部が圧力検出素子からなり、前記液晶表示装置の観測側から前記液晶表示装置の表示領域の一部に圧力を加えることにより、前記表示領域における前記圧力を加えた位置近傍の前記

圧力検出素子に圧力が印加され、前記圧力検出素子からの出力信号に基づいて圧力が印加された位置を検出する手段を備えたものである。また、前記第1の基板あるいは前記第2の基板の少なくとも一方に配設された抵抗膜を具備し、前記抵抗膜の一部と前記圧力検出素子が対向しており、前記抵抗膜と前記第1の電極および第2の電極の少なくとも一方が電気的に絶縁されており、前記圧力検出素子からの出力信号が、前記抵抗膜を介して前記液晶表示装置の非表示領域で電気信号として出力されるようにしてもよい。

【0024】このような圧力検出素子としては、例えば、圧力により表面電荷を発生する圧電体を用い、前記電気信号として電流または電荷量を用いて位置を検出するようにしてもよい。圧電体とは、圧力を加えたときに表面電荷を発生するものである。圧電定数（ d_{31} ）と発生する電荷（ Q ）には圧電体に加わる力を F とすると、以下の関係がある。

$$Q = d_{31} \times F \quad [C]$$

したがって、この電荷を利用して位置検出を行うことができる。例えば、電荷は電流の時間積分により検出するようにしてもよい。圧電体の面積は、上式にもとづき、適切な電荷量が得られるように調節するようにすればよい。

【0025】また、圧力検出素子として、例えば圧力により電気抵抗が変化する感圧体を用い、前記電気信号として電流または電圧を用いて位置を検出するようにしてもよい。感圧体とは、ここでは圧力を加えたときに抵抗が変化する素子をいう。感圧体としては、例えば絶縁性材料に導電性の微粒子を分散したものをを用いるようにしてもよい。圧力により導電性の微粒子同士が接触することにより、抵抗が大きく変化する。すなわち、理想的には圧力印加により絶縁状態から導通状態への変化が起こる。したがって、この感圧体に圧力を印加することによる抵抗変化（ON/OFF）を利用して位置検出を行うようにすればよい。また感圧体の面積・厚さは、適切なON/OFF比が得られる圧力が加わるように調節するようにすればよい。

【0026】さらに前記圧力検出素子を、圧電体がゲートに電気的に接続されたトランジスタから構成し、前記電気信号として電流または電圧を用いて位置を検出するようにすればよい。例えばTFTのゲート電極に接続された圧電体に圧力を印加することにより、ゲート電圧を変化させて、ソース・ドレイン間の抵抗のON/OFF制御を行い、位置検出を行うようにしてもよい。適切なON/OFFマージンを確保するために、圧電体の面積・厚さ、および圧電体に印加するバイアス電圧を調整するようにしてもよい。

【0027】また第1の電極（画素電極）がマトリクス状に配設されたスイッチング素子に電気的に結合されており、前記第2の電極が液晶駆動用の共通（コモン）電

極であり、前記圧力検出素子を介して前記抵抗膜に電気的に結合された位置検出用の対向電極を具備し、前記液晶駆動用の共通電極と前記位置検出用の対向電極とを電気的に導通させるようにしてもよい。例えば液晶表示装置にもともと存在する共通（コモン）電極と、表面分割型の位置検出素子のバイアス電極とを同電位とすることにより、両者のカップリングに由来するノイズを低減することができる。またバイアス電極を別に形成する場合に比べ工程数を削減し、生産性を向上することもできる。

【0028】ここで本発明の液晶表示装置および位置検出装置におけるスペーサの設計方法について説明する。

【0029】液晶セルに加圧した場合、圧力のほとんどはスペーサが支える。スペーサ密度 n [個/ cm^2] のセルに、 N [N/cm^2] の力を加えた場合、スペーサ 1 個あたりに加わる力は N/n [$\text{N}/\text{個}$] となる。

【0030】柱状のスペーサは、例えばレジストの塗布、露光、現像、ベーク等の一連のフォトリソグラフィプロセスにより形成することができる。また、露光の際のマスキパターンにより、スペーサの 2 次的な形状・密度・位置を制御するようにしてもよい。スペーサの配設密度により、スペーサ 1 個あたりにかかる圧力範囲を最適化することができる。

【0031】スペーサの配設位置と圧電体の配設位置を重複させるか、スペーサ自体を圧電体により構成する場合、スペーサ 1 個の両端に発生する電荷量 (Q) は以下のように計算される。

$$Q = d_{33} \times N \times n \quad [C]$$

書込み入力カラムまたは指を用いて加圧を行う場合、典型的な圧力は $N = 0.1 \sim 1$ [kg/cm^2] $= 9.8 \sim 98$ [N/cm^2] である。この値と、用いる圧電材料の圧電定数 (d_{33})、出力信号の検出方法や、その S/N 設定等により、最適なスペーサ密度を設定するようにすればよい。

【0032】スペーサ位置に感圧体があるか、スペーサ自体が感圧体の場合も、感圧体の抵抗の圧力依存性から同様に最適なスペーサの配設密度を設定するようにすればよい。

【0033】次に、本発明の液晶表示装置または表示装置における抵抗膜の設計方法について説明する。

【0034】本発明においては、圧電体または感圧体と抵抗膜とが接触するように配設されている。図 9 は液晶セルと抵抗膜との関係を説明するための図である。抵抗膜 1 は圧電体または感圧体が配設された第 1 の基板と第 2 の基板とからなる液晶セル 2 の片面（図 9 (a)）に形成されているようにし、両面（図 9 (b)）に形成されているようにし、片面に形成する場合には、もう一方を抵抗膜 1 に比十分抵抗の低いバイアス印加用電極とすることが有効である（図 9 (a)）。ベタの抵抗膜を用いる場合、周辺部に抵抗膜に比十分抵抗の低い信号取

り出し電極 3 を設け、そこから出力信号を得ることが有効である（図 9 (a)、図 9 (b)）。表面分割型の場合は抵抗膜の 4 辺に（図 9 (a)）、両面分割型の抵抗膜あたり 2 辺づつに（図 9 (b)）信号取り出し電極 3 を設けることが有効である。さらに、信号取り出し電極 3 間の干渉を低減する目的で、信号取り出し電極 3 の形状を変形するようにしてもよい。

【0035】また、例えば画素領域と相補的なパターン等にパターンニングされた抵抗膜を用いる場合についても、抵抗膜 2 は液晶セルの片面（図 11 (a)）に形成されていても両面（図 11 (b)）に形成されていてもよい。片面に形成する場合には、もう一方を抵抗膜に比十分抵抗の低いバイアス印加用電極とすることが有効である（図 11 (a)）。バイアス印加用の電極もパターンニングされていても構わない。ただしこの場合には、圧電体または感圧体のある部分にバイアス印加用の電極が残っていることが必要である。抵抗膜を両面に形成する場合も、両面がストライプ上に互いに直交するようにパターンニングされていても（図 11 (b)）、片面のみがパターンニングされ、残る片面がベタ膜であっても構わない。両面がストライプ上に互いに直交するようにパターンニングされている場合には、その交点の部分に圧電体または感圧体を配設するようにすればよい。抵抗膜をストライプ上にパターンニングする場合は、ストライプ電極からの出力をそのまま出力信号として用いても、周辺部に抵抗膜に比十分抵抗の低い信号取り出し用電極を設け、そこから出力信号を得ても構わない。出力信号処理回路のコスト低減のためには、周辺部に信号取り出し用電極 3 を設け、一括信号処理を行うことが望ましい（図 11 (a)、図 11 (b)）。信号取り出し電極 3 は、表面分割型の場合は抵抗膜の 4 辺に（図 11 (a)）、両面分割型の抵抗膜あたり 2 辺づつに（図 11 (b)）配設される。抵抗膜の抵抗は、出力信号の検出方法、出力範囲、 S/N 設定等により、最適設計するようにすればよい。

【0036】また、抵抗膜 2 を液晶表示装置の非開口部にも設置することにより、抵抗膜の吸収による光ロスや、抵抗膜の電位の液晶表示への影響を回避することができ、表示品質を向上することができる。

【0037】図 10 は抵抗膜のパターンの例を概略的に示す図である。抵抗膜 3 を黒色の遮光膜として、抵抗膜 3 を液晶表示装置のブラックマトリクスとして形成することにより、プロセスを削減してコスト低下を図る上で有効である。

【0038】また、表面分割型のバイアス電極を TFT 液晶表示装置のコモン電極電位とすることにより、コモン電極とのカップリング容量に由来するノイズを低減すると共に、バイアス電極形成プロセスを削減してコスト低下を図る上で有効である。次に、本発明の位置検出機能内蔵液晶表示装置における座標算出方法について述べ

る。

【0039】図12は、圧力検出素子が圧電体からなり、電荷量を検出する場合の座標算出方法の例を説明するための図である。圧電体に圧力を加えると、圧力が加わった位置に表面電荷が誘起される。この電荷は抵抗膜による抵抗Rと、容量Cとの積に比例した時定数で減衰しつつ、両端の引き出し線から電流として出力される。両端から出力される電流の積値すなわち電荷量の比は、加圧点で分断された容量に比例する。すなわち、 Q と $Q_x(1)$ 、 $Q_x(2)$ 、 $Q_y(1)$ 、 $Q_y(2)$ との間にそれぞれ形成される容量は、圧力Fが加わった点と、引き出し電極との距離の2乗に比例する。したがって、位置座標は以下のように算出される。

$$(2x/L_x)^2 = [Q_x(2) - Q_x(1)] / [Q_x(2) + Q_x(1)]$$

$$(2y/L_y)^2 = [Q_y(2) - Q_y(1)] / [Q_y(2) + Q_y(1)]$$

また、引き出し線近傍でのゆがみが生じる場合には、この式は補正するようにならばよい。

【0040】図12の例においては、抵抗膜の抵抗として、表面分割型を用いているが、両面分割型を用いても構わない。図14は、表面分割型を用い、バイアス電位VBを設定したときの等価回路の例であり、図16は表面分割型を用い対向をフロッティングとしたときの等価回路の例であり、図17は両面分割型を用いたときの等価回路の例である。

【0041】表面分割型を用いた場合の等価回路においては、簡略のためX座標側のみの記し、Y座標側については同様のため省略している。(表面分割型については以下同様にY座標側の等価回路を省略する。)圧電体を用い電荷量を検出する場合、圧力が変化したときのみ電流が流れ、電荷量のピーク値を用いて位置座標を検出する。このため、圧力が変化した瞬間の電流を精度良く検出することが必要となる。抵抗膜の抵抗Rは、電流出力の時定数を調節し、電荷検出回路の帯域を落としてS/N比を上げるよう決定される。ペンまたは指からの加圧で入力する場合、帯域は1[kHz]～数[kHz]の間に設定するようによればよい。これは、1[kHz]以上の速さで入力することが困難であり、数[kHz]以下だと遅いと感じるものが主たる理由である。特に、液晶の駆動周波数である60[Hz]周期で検出することが、駆動周期由来のノイズを効果的に低減する上で望ましい。

【0042】図21、図23は圧電体を用いたときの座標検出回路の構成の例を示す図である。図22、図24は感圧体をゲートに接続した薄膜トランジスタを用いた時の座標検出回路の構成の例を示す図である。図21においては、Q-Vアンプからの出力をA/D変換して、その後デジタル演算により座標演算・ピーク検出を行う。このとき、液晶表示のクロックと同期させることに

より、たとえばコモン反転時のコモン電極とのカップリングノイズ等を除去することがS/N比向上の点で有効である。さらに、デジタル演算により引き出し線近傍のゆがみ補正を行うことが、位置精度向上の点で有効である。図23においては、加算、減算、割り算、ピークホールドまでアナログ処理し、最後にA/D変換をするようにすればよい。この場合もA/D変換後のデジタル演算において、駆動周期依存のノイズ除去、引き出し線近傍のゆがみ補正等を行うことが好ましい。

【0043】図13は圧力検出素子が感圧体からなり、電流または電圧を検出する場合の座標算出方法の例を説明するための図である。感圧体に圧力を加えると、圧力が加わった位置の抵抗が低下し、理想的にはバイアス電極とショートする。バイアス電圧は抵抗膜により抵抗分割されて、両端の引き出し線から電流または電圧として出力される。両端から出力される電流の比は抵抗に反比例する。抵抗は引き出し線からの距離に比例するため、位置座標は以下のように算出される。

$$(2x/L_x)^2 = [I_x(2) - I_x(1)] / [I_x(2) + I_x(1)]$$

$$(2y/L_y)^2 = [I_y(2) - I_y(1)] / [I_y(2) + I_y(1)]$$

図13においては、抵抗膜の構造として表面分割型を用いているが、両面分割型を用いても構わない。

【0044】図15は表面分割型を用いバイアス電位を設定したときの等価回路の例であり、図18は、両面分割型を用いたときの等価回路の例である。また、感圧体を用いたときの座標検出回路構成例を図22、図24に示している。図22の例では、I-Vアンプからの出力をA/D変換して、その後デジタル演算により座標演算を行う。このとき、液晶表示のクロックと同期させることにより、たとえばコモン反転時のコモン電極とのカップリングノイズ等を除去することがS/N比向上の点で有効である。さらに、デジタル演算により引き出し線近傍のゆがみの補正を行うことが、位置精度向上の点で有効である。図24の例においては、加算、減算、割り算までアナログ処理し、最後にA/D変換をする。この場合もA/D変換後のデジタル演算において、駆動周期依存のノイズ除去、引き出し線近傍のゆがみ補正を行うことが有効である。

【0045】圧力検出素子が圧電ゲートトランジスタからなり、電流または電圧を検出する場合の座標算出方法については、感圧体と同様である。図19は圧電ゲートトランジスタを用いた表面分割型の等価回路の例を示す図であり、図20は両面分割型の等価回路の例を示す図である。図19においては、圧電ゲートトランジスタのソースはすべて共通電位(図中COMで表示)に設定される。圧電ゲートにはTFTのON/OFFマージンを見込んだバイアス電圧が印加される(図中の電池記号)。圧電体を圧縮したときに発生する電圧の極性は圧

電体の分極方向によって決められる。

【0046】図20においては、圧電ゲートトランジスタのソース・ドレイン電極がそれぞれX軸座標・Y軸座標出用の抵抗配線につながれている。圧電ゲートにはTFTのON/OFFマーキングを見込んだバイアス電圧（図中 V_b ）が印加される。圧電体を圧縮したときに発生する電圧の極性は圧電体の分極方向によって決められる。図19、図20いずれの場合も圧電体に圧力を加えると、圧力が加わった位置のTFTがON状態となり、抵抗膜により抵抗分割されて、両端の引き出し線から電流または電圧として出力される。

【0047】次に表示装置に用いる圧電材料およびその分極処理方法について説明する。

【0048】圧電材料としては、代表的な圧電体であるPZTの他、例えば BaTiO_3 、 PbTiO_3 、 $\text{Bi}_2\text{SrTa}_2\text{O}_9$ 、 $\text{Bi}_3\text{Ti}_4\text{O}_{12}$ 、 BaMgF_4 、 $\text{Gd}_2(\text{MoO}_4)_3$ などを用いることができる。圧電性を示すためには、分極方向がそろっている必要がある。分極方向を揃えるには、圧電材料に電圧を印加して分極反転させることが有効である。表面分割型でバイアス電極が形成されている場合には、信号取り出し用電極とバイアス電極との間に、圧電体分極反転電圧より大きい電圧を与えることにより分極方向を揃えることが可能である。両面分割型の場合も同様に、両側の対向電極間に圧電体より大きい電圧を与えることにより分極方向を揃えることが可能である。

【0049】また、表面分割型で対向電立がフローティングの場合には、フローティング側を空気側として、イオナイザーを照射しつつ、信号取り出し用電極にグラウンド電位を基準として圧電体の分極反転電圧より大きい電圧を与えることにより分極方向を揃えるようにしてもよい。

【0050】なお圧力検出素子として圧電体を用いた場合、圧電体の少なくとも一方の電極がフローティングの場合には偏加重がかかって高電圧が発生し短絡する恐れがある。例えば圧力検出素子としてゲート電極に圧電体を用いた圧電ゲート薄膜トランジスタを用いるような場合には、このような短絡を回避する構成を備えておくことが好ましい。例えば、過大電圧が発生した場合の保護のための保護回路を圧電体の一方のフローティング電極に接続しておくようにしてもよい。このような例としては例えば図8に例示した構成をあげることができる。いずれも薄膜トランジスタで構成することができるので、画素選択用の薄膜トランジスタと同時に形成することができる。このため保護回路の形成による液晶表示装置の生産性の低下を回避することができる。

【0051】

【発明の実施の形態】以下に本発明についてさらに詳細に説明する。

（実施形態1）図1は本発明の液晶表示装置の構成の例

を概略的に示す図である。図1の液晶表示装置は、座標入力機能を内蔵した液晶表示装置であり、液晶表示方式として、薄膜トランジスタ（TFT:Thin Film Transistor）を用いたアクティブマトリクス方式が用いられている。また、液晶表示モードとしては、透過型のTN（Twisted Nematic）方式が用いられている。圧力検出のための感圧素子としては圧電体を用いられている。また、感圧素子の電極構造は表面分割型であり、バイアス電極が液晶表示用の共通電極としての機能を兼ねており、さらに抵抗膜がブラックマトリクスとしての機能を兼ねている（図11（a）参照）。この液晶表示装置は、アレキ基板11と対向基板12との間に液晶層13を挟持したものである。アレキ基板11と対向基板12との間隙は柱状のスペーサ14により保持されている。アレキ基板11は、ガラス基板などの絶縁性基板15と、この絶縁性基板15上にマトリクス状に配設された画素電極16と、この画素電極16に表示信号に対応した電圧を印加するための薄膜トランジスタ17とを備えている。なおアレキ基板11と対向基板12の液晶層13挟持面には図示しない配向膜が配設されている。薄膜トランジスタ17は、絶縁性基板15上に配設されたゲート電極17gと、ゲート電極17gを覆うように配設されたゲート絶縁膜17eと、ゲート絶縁膜17eを介してゲート電極17gと対向した例えば a-Si 、 p-Si などの半導体膜17fと、半導体膜17fと接合したソース電極17s、ドレイン電極17dと、チャネル保護膜17cと、薄膜トランジスタを覆うように配設されたパッシベーション膜17bとを備えている。なお、半導体膜17fのソース・ドレイン電極との接合面には、ソース・ドレイン電極と半導体膜とがオーミック接合するように図示しない例えば $\text{n}^+\text{a-Si}$ などのコンタクト層が配設されている。

【0052】対向基板12は、例えばガラス基板などの絶縁性基板21と、この絶縁性基板21上に画素電極と相補的な所定のパターンで配設された抵抗膜22と、抵抗膜22とスペーサ14との間に配設された感圧素子23と、抵抗膜22および感圧素子23を覆うように配設されたカラーフィルタ24と、液晶層挟持面に配設された共通電極（対向電極）25とを備えている。なおこの例では抵抗膜22は透光性を有する材料から構成されており、隣接する画素領域間を遮光するブラックマトリクスとしても機能するように構成されている。またカラーフィルタ24は、R（赤）、G（緑）、B（青）の加法混色の3原色に着色した絶縁材料を、各画素領域を覆うように配設されている。

【0053】この構造における座標座標算出方法は図12に、等価回路は図14に示したとおりである。また、座標検出回路の構成例は図21、図23で説明したとおりであり、図23の座標検出回路の構成例を用いたときの座標検出回路は図25に示した通りである。すなわ

ち、対向基板12に圧力が加わると、感圧素子が加圧されて例えば誘起電荷、電流、電圧などの電気信号を出力する。そして前述したようにこの電気信号に基づいて、圧力が加わった表示画面上の位置を検出する。本発明の液晶表示装置では、位置検出機能の付加を、表示に寄与する各画素領域と相補的に配設することができる。また従来の液晶表示装置のように、表示に寄与する領域に位置検出のための電極を配設する必要もない。さらに視差等による検出位置のずれもなく高精度な位置検出を行うことができる。

【0054】次に、上述した液晶表示装置の製造方法の例について説明する。まず、アレイ基板11の製造方法について述べる。

【0055】まず、絶縁性基板15上にMo-Ta合金を厚さ300 [nm] 堆積し、パターンニングすることによりゲート線およびゲート線と連続したゲート電極17g、および図示しない補助容量線を同時に形成する。次に、シリコン酸化膜を厚さ400 [nm]、SiNxを厚さ50 [nm]、a-Siを厚さ50 [nm]、エッチングストップ層SiNxを厚さ200 [nm] を堆積する。そしてレジスト塗布後に裏面露光および適常露光することによりゲート線の上に自己整合的にSiNxからなるストップ層17eを残し、他はエッチングする。次にオーミックなコンタクト層となるn⁺a-Siを50 [nm] 堆積し、n⁺a-Si層/a-Si層/SiNx層を一括パターンニングすることにより、半導体膜17i、コンタクト層を形成する。

【0056】について、ITO（酸化インジウム錫）を厚さ100 [nm] 堆積し、パターンニングすることにより画素電極16を形成する。さらに、図示しない引き出し線上の酸化膜をパターンニングし、スルーホールを形成する。

【0057】次に、Cr80 [nm]、Al30 [nm]、Cr80 [nm] を堆積し、パターンニングすることにより信号線、薄膜トランジスタのソース電極17s、ドレイン電極17dを形成する。そして、Cr/Al/CrをマスクにしてRIE（Reactive Ion Etching）を行うことにより、コンタクト領域以外のいらない部分のn⁺a-Si層を除去する。

【0058】そして、SiNxを厚さ20 [nm] 堆積し、パターンニングすることにより、アレイ基板の画素電極以外の部分にパッシベーション膜19を成膜する。

【0059】次に、対向基板の製造方法について説明する。

【0060】まず、ガラスなどの絶縁性基板21上にCrを30 [nm] 堆積し、パターンニングすることにより、ブラックマトリクスと兼ねた抵抗膜22を形成する。次に、圧電体であるPZTをスパッタリング法等により厚さ1 [μm] 堆積し、レジストのマスク露光・ドライエッチングにより、画素領域と相補的な形状にパ

ターンニングする。

【0061】その後、顔料分散レジストを2 [μm] 塗布しパターンニングすること、を、赤、緑、青の三色について繰り返すことにより、カラーフィルタを形成する。次に、透明電極であるITOをマスクスパッタで厚さ150 [nm] 堆積することにより、抵抗膜へのバイアス電極を兼ねた共通電極25を形成する。

【0062】次に、液晶セルの製造方法について述べる。

【0063】まず、対向基板12に、ポリイミド等からなる、液晶分子の配向を制御する配向膜を印刷法により厚さ70 [nm] 形成し、焼成する。この配向膜に、液晶の配向方向を規定するためのラビング処理を行う。

【0064】その後、スペーサ14形成のために、例えばアクリル系レジストを塗布、マスク露光、現像、ベークすることにより、圧電体からなる感圧素子23と対応する領域に選択的に絶縁性のスペーサ14を形成する。

【0065】一方、アレイ基板11も、対向基板12と同様に配向膜の印刷、焼成、ラビング処理を行う。その後、対向基板12にシール剤を塗布、乾燥する。シール剤は、信号線側基板と走査線側基板を接着し液晶だめを作る役割を担う。次に封着時の合わせズレをおさえる役割を担う紫外線硬化樹脂（仮止め剤）を対向基板12のシールの外側に塗布し、アレイ基板11と対向基板12の配向膜形成面を対向させるように組み立てる。次にアレイ基板と対向基板の位置合わせ（目ズレ修正）を行い、仮止め位置に紫外線を照射することにより、仮止め剤を硬化させる。そして、セル全面を荷重しつつオープンで加熱することにより、シール剤を硬化させる。

【0066】その後、真空状態でシール剤のオープンになっている部分（注入口）に液晶組成物を浸すことにより、液晶組成物の注入を行う。次に注入口に紫外線硬化剤を付け、紫外線を照射することにより、注入口を封止する。

【0067】次に、この液晶セルをオープンで加熱し、冷却することにより、液晶の配向を均一化する。最後に、この液晶セルの両側の基板の表面にそれぞれラビング方向と平行または垂直となるように偏光板を接着する。

【0068】（実施形態2）図1に示した液晶表示装置の感圧素子23として、圧電性材料に換えて、感圧素子として圧力により抵抗値が変化する感圧体を用いて液晶表示装置を構成した。この構造における座標座標算出方法を図13に、等価回路を図15に示す。また、座標検出回路の構成例を図22、図24に、図24の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図26に示す。

【0069】製造方法についても、圧電体形成プロセスの代わりに、感圧体である金属微粒子分散レジストを塗布、露光・現像によりパターンニングすることを除いては

実施形態１と同様であるので説明を省略する。

【００７０】（実施形態３）図２は本発明の液晶表示装置の構成の別の例を概略的に示す図である。

【００７１】図２に例示した液晶表示装置の構造と機能について図面を参照しながら説明する。図２の液晶表示装置においては、液晶表示方式として、薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）を用いたアクティブマトリクス方式が用いられている。また、液晶表示モードとしては、透過型のＴＮ（Twisted Nematic）方式が用いられている。感圧素子２３としては、圧電体が用いられ、その構造は表面分割型であり、ブラックマトリクス３１はパイアス電極としての機能を兼ねている。ブラックマトリクス３１と共通電極２５とは接触することにより導通している。ここで、ブラックマトリクス３１はパターンニングされることによる共通電極２５の抵抗アップ分を補償する役割を担っている。また、抵抗膜２２（図１０参照）は共通電極２５と同じ層で構成され、両者はパターンニングされることにより絶縁されている。抵抗膜２２のパターンは、ブラックマトリクス３１に対向する非開口部に形成されている。この構造における座標座標算出方法、等価回路、座標検出回路の構成例については実施形態１と同様であるのでここでは説明を省略する。

【００７２】次に、図２に例示した本発明の液晶表示装置の製造方法の例について説明する。アレイ基板１１の製造方法については、実施形態１で説明した製造方法と同様に製造することができる。

【００７３】対向基板の製造方法については、まず、絶縁性基板２１上にＣｒを５０［nm］堆積し、パターンニングすることにより、ブラックマトリクス３１を形成する。次に、圧電体であるＰＺＴをスパッタリングにより厚さ１［μm］堆積し、レジストのマスク露光・ドライエッチングにより圧電体２３をパターンニングする。次に、顔料分散レジストを２１［μm］塗布しパターンニングすることを、赤、緑、青の色について繰り返すことにより、カラーフィルタ２４を形成する。次に、透明電極であるITOをスパッタ法等で厚さ１５０［nm］堆積し、レジストのマスク露光・ウェットエッチングによりITOをパターンニングすることにより、共通電極２５と抵抗膜２２を同時形成する。

【００７４】液晶セルの製造方法については、実施形態１と同様であるので、ここでは省略する。

【００７５】（実施形態４）図２に例示した液晶表示装置の感圧素子２３として、圧電性材料に換えて、感圧素子として圧力により抵抗値が変化する感圧体を用いて液晶表示装置を構成した。この構造における座標座標算出方法は実施形態２と同様である。また製造方法についても、圧電体形成プロセスの代わりに、感圧体である金属微粒子分散レジストを塗布、露光・現像によりパターンニングすることを除いては実施形態１と同様であるので説

明を省略する。

【００７６】（実施形態５）図３は本発明の液晶表示装置の構成の別の例を概略的に示す図である。図３に例示した液晶表示装置の構造と機能について図面を参照しながら説明する。

【００７７】図３の座標入力機能内蔵液晶表示装置においては、液晶表示方式として、薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）を用いたアクティブマトリクス方式が用いられている。また、液晶表示モードとしては、透過型のＴＮ（Twisted Nematic）方式が用いられている。感圧素子としては、圧電体が用いられ、その構造は表面分割型であり、パイアス電極が画素電極とともに液晶層に電界を形成するための共通電極としての機能を兼ねている（図１１（a）参照）。また、抵抗膜２２（図１０参照）はアレイ基板１５側に画素電極１６と同層で構成され、両者は絶縁するように分離してパターンニングされている。抵抗膜２２のパターンは、ブラックマトリクス３１に対向する領域に、画素電極１６と重ならないような非開口部に形成されている（図１０参照）。

【００７８】すなわちこの例では、抵抗膜２２はアレイ基板１１側に配設され、例えば圧電材料からなる感圧素子２３の電気信号をこの抵抗膜２２を介して検出することにより、圧力が加わった位置の座標を検出する。

【００７９】また、この例ではアレイ基板１１と対向基板１２との間隙を保持するスペーサの一部は、カラーフィルタにより構成されている。すなわち、ＲＧＢのカラーフィルタ２４Ｒ、２４Ｇ、２４Ｂは、順次形成されるが、このときにカラーフィルタ２４Ｒと、カラーフィルタ２４Ｂとを一部重なるように配設し、さらにカラーフィルタ２４Ｂと、カラーフィルタ２４Ｇとを一部重なるように配設することにより、重なる部分のロフトを高くしたものである。このような構成を採用することにより、スペーサを個別に形成する工程を省くことができ、生産性を向上することができる。

【００８０】図３に例示した液晶表示装置においても、座標算出方法、等価回路、座標検出回路の構成例については実施形態１と同様であるのでここでは省略する。

【００８１】ここで、図３に例示した液晶表示装置の製造方法の例について説明する。アレイ基板１１の製造方法については、画素電極１６と同時に抵抗膜パターンを形成することを除いては実施形態１と同様であるのでここでは省略する。

【００８２】次に、対向基板の製造方法について説明する。まず、絶縁性基板２１上にＣｒを５０［nm］堆積し、パターンニングすることにより、ブラックマトリクス３１を形成する。次に、顔料分散レジストを２［μm］塗布しパターンニングすることを、赤、緑、青の三色について繰り返すことにより、カラーフィルタ２４Ｒ、２４Ｂ、２４Ｇを形成する。このとき、スペーサに対応する

部分のレジストを重ねて残しておくことにより、スペーサの一部をカラーフィルタレジストに分担させる。

【0083】この後、透明電極であるITOをスパッタ法などにより厚さ15[nm]堆積し、コンモン電極25を形成する。

【0084】液晶セルの製造方法については、スペーサ材料として、圧電体微粒子を分散したレジストを用いることを除いては前述と同様であるので、ここでは説明を省略する。

【0085】(実施形態6)図3に例示した液晶表示装置の感圧素子23として、圧電性材料に換えて、感圧素子として圧力により抵抗値が変化する感圧体を用いて液晶表示装置を構成した。この構造における座標座標算出方法は前述と同様である。また製造方法についても、圧電体形成プロセスの代わりに、感圧体である金属微粒子分散レジストを塗布、露光・現像によりパターンニングすることを除いては前述の実施形態と同様であるのでここでは説明を省略する。

【0086】(実施形態7)図4は本発明の液晶表示装置の構成の別の例を概念的に示す図である。図4に例示した本発明の液晶表示装置の構造と機能について図面を参照しながら説明する。図4の座標入力機能内蔵液晶表示装置においては、液晶表示方式として、薄膜トランジスタ(TFT:Thin Film Transistor)を用いたアクティブマトリクス方式が用いられている。また、液晶表示モードとしては、透過型TN(Twisted Nematic)方式が用いられている。感圧素子としては、圧電体を用いられ、その構造は表面分割型であり、バイアス電極26が薄膜トランジスタのゲート電極17iと同じ層で構成され、両者はパターンニングされることにより絶縁されている。また、抵抗膜22(図10参照)は画素電極16と同一材料から同層で構成され、両者はパターンニングされることにより絶縁されている。抵抗膜22パターンは、ブラックマトリクス31に対向する非開口部に形成されている(図10参照)。

【0087】すなわち、図4に例示した本発明の液晶表示装置においては、アレイ基板11のスペーサ14と対向する領域に感圧素子23配設されている。スペーサ14と感圧素子23との間には抵抗膜22が挟持されている。また感圧素子23の抵抗膜22と反対側の面にはバイアス電極26が配設されている。

【0088】このような構成の液晶表示装置における座標座標算出方法、等価回路、座標検出回路の構成例についても前述の実施形態と同様であるのでここでは説明を省略する。

【0089】ここで、図4に例示した本発明の液晶表示装置の製造方法の例について説明する。まず、アレイ基板11の製造方法について説明する。

【0090】まず、ガラス、無アルカリガラス、石英、

樹脂等からなる絶縁性基板15上にMo-Ta合金を厚さ300[nm]堆積し、パターンニングすることによりゲート電極17a、ゲート線、バイアス電極26、および図示しない補助容量線を同時に形成する。

【0091】次いで、圧電材料であるPZTをスパッタリングにより厚さ11[μm]堆積し、レジストのマスク露光・ドライエッチングにより圧電体23をパターンニングする。

【0092】次いで、シリコン酸化膜SiNxを厚さ400[nm]、シリコン窒化膜SiNxを厚さ50[nm]、a-Si半導体膜を厚さ50[nm]、エッチングストップ用SiNxを厚さ200[nm]を堆積する。

【0093】次にレジスト塗布後に表面露光および通常露光することによりゲート線の上にSiNxストップ層17aを残し、他はエッチングする。次にコンタクト層となるn⁺a-Siを[nm]堆積し、n⁺a-Si層/a-Si層/SiNx層を一括パターンニングすることによりa-Siの島を形成する。

【0094】次にCr80[nm]、Al[nm]、Cr80[nm]を堆積し、パターンニングすることにより信号線、薄膜トランジスタのソース電極17s、ドレイン電極17dを形成する。

【0095】次に、Cr/Al/CrをマスクにしてRIE(Reactive Ion Etching)することにより、コンタクト領域以外のn⁺a-Si層を除去する。

【0096】次に、圧電体23上の酸化膜、および図示しない引き出し線上の酸化膜をパターンニングスルーホールを形成する。次に、アクリル系レジストを厚さ2[μm]塗布し、パターンニングすることにより、ソース電極との間にコンタクトホールの空いたパッシベーション膜19を作成する。

【0097】そして、ITOをスパッタ法などにより厚さ100[nm]堆積し、パターンニングすることにより画素電極16を形成する。

【0098】次に、対向基板の製造方法について説明する。

【0099】まず、ガラス等の透光性を有する絶縁性基板21上にCrを500[nm]堆積し、パターンニングすることにより、ブラックマトリクス31を形成する。

【0100】次に、透明導電性材料であるITOをスパッタ法等で厚さ150[nm]堆積し、コンモン電極25を形成する。

【0101】液晶セルの製造方法については、実施形態1と同様であるので、ここでは省略する。

【0102】(実施形態8)図4に例示した液晶表示装置の感圧素子23として、圧電性材料に換えて、感圧素子として圧力により抵抗値が変化する感圧体を用いて液晶表示装置を構成した。この構造における座標座標算出

方法は前述と同様である。また製造方法についても、圧電体形成プロセスの代わりに、感圧体である金属微粒子分散レジストを塗布、露光・現像によりパターンニングすることを除いては前述の実施形態と同様であるのでここでは説明を省略する。

【0103】（実施形態9）図5は本発明の液晶表示装置の構成の別の例を概略的に示す図である。図5に例示した液晶表示装置の構造と機能について図面を参照しながら説明する。図5の座標入力機能内蔵液晶表示装置においては、液晶表示方式として、ストライプ電極を対向させた単純マトリクス方式が用いられている。また、液晶表示モードとしては、透過型のSTN（Super Twisted Nematic）方式が用いられている。感圧素子23としては、圧電体が用いられ、感圧素子の電極構造は表面分割型であり（図9（a）参照）、抵抗膜22がブラックマトリクスとしての機能を兼ねている。この構造における座標座標算出方法は図12に、等価回路は図16に、また、座標検出回路の構成例は図21、図23に示したとおりである。さらに図23の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図25に示している。

【0104】図5に例示した液晶表示装置は単純マトリクス型の液晶表示装置であり、走査電極41が配設された基板15と、信号電極42が配設された基板21との間に液晶層13を挟持したものである。ITOなどの透明絶縁性材料からなる走査電極41は、ガラスなどの絶縁性材料からなる基板15上に、例えばストライプ状に配設されている。また、基板21上には上述したようなブラックマトリクスを兼ねた抵抗膜22のパターンが配設されている。そして抵抗膜22とスペーサ14との間には圧電体23が挟持されており、液晶セルに圧力が加わると、この圧力に応じてその表面に誘起電荷を生じようとして構成されている。誘起電荷は抵抗膜22を通じて表示領域の外側等で取り出されて位置検出のための信号処理がなされる。また抵抗膜22の上側からカラーフィルター24が配設されており、信号電極42はこのカラーフィルター24の上側に配設されている。

【0105】このように本発明はアクティブマトリクス型の液晶表示装置に限ることなく、単純マトリクス型の液晶表示装置にも適用することができる。

【0106】ここで、図5に例示した本発明の液晶表示装置の製造方法について説明する。まず、基板21の製造方法について述べる。

【0107】まず、絶縁性を有する基板21上にCrを300[nm]堆積し、パターンニングすることにより、ブラックマトリクスを兼ねた抵抗膜22を形成する。次に、圧電体23としてPZTをスパッタリングにより厚さ11[μm]にわたって堆積し、レジストのマスク露光・ドライエッチングによりパターンニングする。

【0108】さらに、顔料分散レジストを21[μm]

塗布しパターンニングすることを、赤、緑、青の三色について繰り返すことにより、カラーフィルター24を形成する。

【0109】この後、透明導電性膜として例えばITOを150[nm]堆積し、パターンニングすることにより、液晶駆動用の信号電極42を形成する。

【0110】次に、基板15の製造方法について説明する。まず、ガラス基板上に、透明電極であるITOを150[nm]堆積し、パターンニングすることにより、液晶駆動用の走査電極41を形成する。

【0111】液晶セルの製造方法については、前述した実施形態と同様にあるので、ここでは説明を省略する。

【0112】（実施形態10）図6は本発明の液晶表示装置の構成の別の例を概略的に示す図である。図6に例示した本発明の液晶表示装置の構造と機能について図面を参照しながら説明する。

【0113】図6に例示した座標入力機能を内蔵した本発明の液晶表示装置においては、液晶表示方式として、ストライプ電極を対向させた単純マトリクス方式が用いられている。また、液晶表示モードとしては、透過型のSTN（Super Twisted Nematic）方式が用いられている。図6に例示した液晶表示装置も単純マトリクス型の液晶表示装置であり、図示しない走査電極41が配設された基板15と、信号電極42が配設された基板21との間に液晶層13を挟持したものである。ITOなどの透明絶縁性材料からなる走査電極41は、ガラスなどの絶縁性材料からなる基板15上に、例えばストライプ状に配設されている。また抵抗膜22bは走査電極41と平行に、走査電極41と絶縁されて配設されている。また、基板21上には上述したようなブラックマトリクス31のパターンが配設されている。さらにこの例では、スペーサが圧電体23から構成されており、抵抗膜22と圧電体23からなるスペーサとの間には抵抗膜22が挟持されている。液晶セルに圧力が加わると、この圧力に応じて圧電体の表面に誘起電荷を生じようとして構成されている。誘起電荷は抵抗膜22を通じて表示領域の外側等で取り出されて位置検出のための信号処理がなされる。また基板21の上側からカラーフィルター24が配設されており、信号電極42はこのカラーフィルター24の上側に配設されている。

【0114】上述のようにこの例ではスペーサと圧力検出素子を兼ねており、その構成材料としては圧電体23が用いられており、さらに圧力検出素子の電極構造は両面分割型である（図11（b）参照）。抵抗膜22は、信号電極42と同一材料から同層で形成され、両者はパターンニングされることにより絶縁されている。同様に、走査電極41と抵抗膜22bは同じ層で構成され、両者はパターンニングされることにより絶縁されている。さらに、抵抗膜22、抵抗膜22bともに、ブラックマ

トリクス 31 で遮光されている部分にのみ選択的に形成されている。

【0115】この構造における座標座標算出方法を図 12 に（図 12 では表面分割型の模式図を示しているが、計算方法については同じである。）等価回路を図 17 に示す。また、座標検出回路の構成例を図 21、23 に、図 23 の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図 25 に示す。

【0116】次に、図 6 に例示した本発明の液晶表示装置の製造方法について説明する。

【0117】まず、基板 21 の製造方法について説明する。

【0118】まず、ガラスなどからなる基板 21 上に、顔料分散レジストを 2 [μm] 塗布しパターンニングすることを、黒、赤、緑、青の 4 色について繰り返すことにより、ブラックマトリクス 31 とカラーフィルタ 24 を形成する。そして透明電極である ITO を 150 [nm] 堆積し、パターンニングすることにより、液晶駆動用の信号電極 42 と抵抗膜 22 を同時形成する。

【0119】次に、基板 15 の製造方法について説明する。

【0120】まず、ガラスなどからなる基板上 15 に、透明電極である ITO を 150 [nm] 堆積し、パターンニングすることにより、走査電極 41 と抵抗膜 22 b とを同時形成する。液晶セルの製造方法については、前述の実施形態と同様であるので、ここでは説明を省略する。

【0121】（実施形態 11）次に、本発明の液晶表示装置の別の例について説明する。

【0122】図 6 に例示した液晶表示装置では圧力検出を行う感圧素子として圧電体を採用したが、この例では感圧体を採用している。この構造における座標算出方法を図 13 に（図 13 では表面分割型の模式図を示しているが、計算方法については同じである。）等価回路を図 18 に示す。また、座標検出回路の構成例を図 22、24 に、図 24 の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図 26 に示す。

【0123】（実施形態 12）図 7 は本発明の液晶表示装置の構成別の例を概念的に示す図である。まず、本発明の第 12 の実施形態にかかわる座標入力機能内蔵液晶表示装置の構造と機能について図面を参照しながら説明する。図 7 の液晶表示装置においては、液晶表示方式として、MIM (Metal Insulator Metal) 素子 40 を用いたアクティブマトリクス方式が用いられている。すなわち、信号線 43 に印加される電位に応じてオン・オフが制御され、オンのときにその表示信号が画素電極 16 に印加される。

【0124】また、液晶表示モードとしては、透過型の TN (Twisted Nematic) 方式が用いられている。圧力検出素子としては、圧電体 23 が用いら

れ、圧力検出素子の電極構造は表面分割型であり、抵抗膜 22 がブラックマトリクスとしての機能を兼ねている（図 11 (a)、図 10 参照）。また、バイアス電極 26 は画素電極 16 と同じ層および MIM 40 の上部電極 40 a と同じ層を重ねた構造で構成され、バイアス電極 26 と画素電極 16、バイアス電極 26 と MIM 上部電極 40 a はパターンニングされることにより絶縁されている。

【0125】この構造における座標算出方法を図 12 に、等価回路を図 14 に示す。また、座標検出回路の構成例を図 21、23 に、図 23 の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図 25 に示す。

【0126】次に、本発明の第 12 の実施形態にかかわる座標入力機能内蔵液晶表示装置の製造方法について説明する。まず、MIM を形成したアレイ基板 11 b の製造方法について説明する。

【0127】まず、ガラスなどの絶縁性基板 15 上に T a を厚さ 500 [nm] 堆積し、パターンニングすることにより信号線 43 を形成する。つづいて、タンタル酸化膜を厚さ 300 [nm] 堆積する。次に、Cr を厚さ 400 [nm] 堆積し、パターンニングすることにより、MIM 上部電極 40 a およびバイアス電極 26 を同時形成する。次に、ITO を厚さ 100 [nm] 堆積し、パターンニングすることにより画素電極 16 およびバイアス電極を同時形成する。

【0128】次に、圧電体微粒子分散レジストを 2 [μm] 塗布し、露光・現像によりパターンニングすることにより、圧電体 23 を成膜、パターンニングする。次に、顔料分散レジストを 2 [μm] 塗布しパターンニングすることを、赤、緑、青の三色について繰り返すことにより、カラーフィルタ 24 を形成する。この後、Cr を厚さ 300 [nm] 堆積し、パターンニングすることによりブラックマトリクスを兼ねた抵抗膜 22 のパターンを作成する。

【0129】次に、対向基板 12 b の製造方法について説明する。ガラス基板 21 上に透明電極である ITO を厚さ 150 [nm] 堆積し、パターンニングすることにより、走査電極 41 を形成する。

【0130】液晶セルの製造方法については、前述した実施形態と同様であるためここでは説明を省略する。

【0131】（実施形態 13）次に図 7 に例示した本発明の液晶表示装置の変形例について説明する。この例では、圧力検出素子として圧電体 23 の代わりに、圧力に応じて抵抗値が変化する感圧体を用いられていることを除いては、図 7 に例示した本発明の液晶表示装置と同様の構造を有している。この構造における座標算出方法を図 13 に、等価回路を図 15 に示す。また、座標検出回路の構成例を図 22、24 に、図 24 の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図 2

6に示す。

【0132】製造方法についても、圧電体形成プロセスの代わり、感圧性である金属微粒子分散レジストを塗布、露光・現像によりパターンニングすることを出ては実施形態12と同様である。

【0133】（実施形態14）図8は本発明の液晶表示装置の構成の別の例を概略的に示す図である。図8に例示した本発明の座標入力機能を内蔵した液晶表示装置の構成と機能について図面を参照しながら説明する。

【0134】図8に例示した本発明の液晶表示装置においては、液晶表示方式として、薄膜トランジスタ（TFT:Thin Film Transistor）を用いたアクティブマトリクス方式が用いられている。また、液晶表示モードとしては、透過型のTN（Twisted Nematic）方式が用いられている。圧力検出素子としては、圧電ゲートトランジスタが用いられ、圧力検出素子の電極構造は表面分割型である。この構造の等価回路を図9に示す。図8において液晶駆動用の薄膜トランジスタ17のゲート線17gと圧電ゲートTFT50のゲートバイアス線51、バイアス電極26は同じ層で構成され、その三者はパターンニングされることによりそれぞれ絶縁されている。また、液晶駆動用のTFT17のチャンネル半導体膜17i（例えばa-Si）と圧電ゲートTFTのチャンネル半導体膜50i（a-Si）は同じ層で構成され、両者はパターンニングされることにより絶縁されている。また、抵抗膜22は画素電極16と同じ層で構成され、両者はパターンニングされることにより絶縁されている。そして圧力が加わると、スベサ14により圧電体23が加圧され、薄膜トランジスタ50のチャンネル半導体膜50iが導通状態になる。このとき、バイアス電極26と抵抗膜22とはドレイン電極50dを通じて同電位となる。したがって、図9に例示した等価回路では、導通状態になった点で $I_x(1)$ 、 $I_x(2)$ 、 $I_y(1)$ 、 $I_y(2)$ が分割され、したがって圧力が加わった座標を検出することができる。なお、ゲートバイアス電極51により圧電体23に適当なバイアスを印加することにより、加わった圧力に対する圧力検出素子の感度を調節することができる。

【0135】また、この構造における座標算出方法を図13に、圧電ゲートトランジスタをスイッチとして表した等価回路を図15に示す。また、座標検出回路の構成例を図22、24に、図24の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図26に示す。

【0136】ここで図8に例示した本発明の液晶表示装置の製造方法について説明する。まず、アレイ基板の製造方法について説明する。

【0137】まず、ガラス基板上にMo-Ti合金を厚さ300[nm]堆積し、パターンニングすることによりゲート電極17g、ゲート線、圧電ゲートTFTのゲー

トバイアス線51、圧電ゲートTFTのバイアス電極26および図示しない補助容量線を同時に形成する。

【0138】次いで、圧電体23としてPZTをスパッタリングにより厚さ1[μm]堆積し、レジストのマスク露光・ドライエッチングによりパターンニングする。次いで、シリコン酸化膜SiO₂を厚さ400[nm]堆積し、パターンニングすることにより圧電体23および図示しない引き出し線上の酸化膜をパターンニングし、スルーホールを形成する。

【0139】次いで、SiNxを厚さ50[nm]、a-Si半導体膜を厚さ50[nm]、iストップ用SiNxを厚さ200[nm]を堆積する。次にレジスト塗布後に裏面露光および通常露光することにより薄膜トランジスタ17のゲート電極17gの上に自己整合的にSiNxからなるストップ層17eを残し、他はエッチングにより除去する。次に、n⁺a-Siを50[nm]堆積し、n⁺a-Si層/a-Si層/SiNx層を一括パターンニングすることにより、薄膜トランジスタ17のp半導体膜17iおよび圧電ゲートTFTの半導体膜50iの島を同時に形成する。

【0140】次にCrを80[nm]、Alを350[nm]、Crを80[nm]を堆積し、パターンニングすることにより信号線、薄膜トランジスタ17のソース電極17s、ドレイン電極17d、圧電ゲートTFT50のドレイン電極50dを同時に形成する。

【0141】次に、Cr/Al/CrをマスクにしてRIE（Reactive Ion Etching）することにより、コンタクト領域以外の部分のn⁺a-Si層を除去する。次に原料分散レジストを2[μm]塗布し、露光・現像を赤・緑・青について繰り返すことによりカラーフィルタ24を形成する。その後、ITOを厚さ100[nm]堆積し、パターンニングすることにより画素電極16および抵抗膜23を同時に形成する。

【0142】次に、対向基板12の製造方法について説明する。まず、ガラス基板21上にCrを300[nm]堆積し、パターンニングすることにより、ブラックマトリクス31を形成する。

【0143】次に、透明導電性材料としてITOをマスクパターで厚さ150[nm]堆積することにより、共通電極25を形成する。液晶セルの製造方法については、アレイ基板上にスベサを形成することを出ては前述の実施形態と同様である。

【0144】（実施形態15）実施形態14では、圧力検出素子の電極構造を表面分割型にした例について説明したが、前述したように両面分割型にするようにしてもよい。

【0145】図20は圧力検出素子の電極構造を両面型にした場合の等価回路の例である。この場合、図8に例示した液晶表示装置において、液晶駆動用の薄膜トランジスタ17のゲート電極17gと圧電ゲート薄膜トラン

ジスタのゲートバイアス線51とは同じ層で構成され、両者はパターンニングされることによりそれぞれ絶縁される。また、液晶駆動用の薄膜トランジスタ17のチャンネル半導体膜17i(a-si)と圧電ゲート薄膜トランジスタのチャンネル半導体膜50i(a-si)および抵抗膜パターン22bは同じ層で構成され、三者はそれぞれパターンニングされることにより絶縁されている。

【0146】また、抵抗膜22は素電極16と同層で構成され、両者はパターンニングされることにより絶縁されている(図10参照)。

【0147】また、この構造における座標算出方法を図13に、圧電ゲートトランジスタをスイッチとして表した等価回路を図15に示す。また、座標検出回路の構成例を図22、24に、図24の座標検出回路の構成例を用いたときの、座標検出回路の実施形態を図26に示す。

【0148】次に、圧力検出素子の電極構造を断面に示した場合の液晶表示装置の製造方法について説明する。アレイ基板11の製造方法については、ゲート線およびゲート電極17gとゲートバイアス線51、図示しない補助容量線が同時形成されること、薄膜トランジスタ17の半導体膜17i、圧電ゲート薄膜トランジスタ50の半導体膜50i、TFTのa-siの島、抵抗膜22bが同時形成されることを除いては実施形態14と同様である。対向基板の製造方法、液晶セルの製造方法についても実施形態14と同様に行うことができる。

【0149】なお上述の実施形態では、液晶表示装置を例にとって説明したが、本発明は液晶表示装置に限ることなく、例えばフィールドエミッションディスプレイ、プラズマアドレス型液晶表示装置など、他のタイプの平面型表示装置にも適用することができる。

【0150】(実施形態16) 上述の例では、位置検出手法として例えば圧力検出素子が出力した電流を検出して位置検出を行う例を説明したが、本発明の液晶表示装置に適用可能な位置検出手法はこれに限ることはない。ここで位置検出手法の別の例について説明する。

【0151】図27は、ペン入力機能を備えた表示装置の構成の例を示す図である。図27において、195は抵抗膜を示し、196は抵抗膜を示し、197は抵抗膜195上に配設された導電層を示し、198は抵抗膜196上に配設された導電層を示し、5は抵抗膜196上に配設された導電層を示し、200は抵抗膜196上に配設された導電層を示し、SW1およびSW2はCNT1で制御されるスイッチであり、SW3およびSW4はCNT2で制御されるスイッチであり、204は一定電圧を各抵抗膜に供給する電圧源でありここでは5Vを供給している。インピーダンス変換部202は導電層198及び導電層6からアナログの電気信号で検出ペン205の表示装置10'上での位置を示しているX方向信号とY方向信号を、インピーダンス変換した後X'、Y'

として出力するインピーダンス変換部であり、203はアナログ信号であるX'、Y'をそれぞれDX、DYのデジタル信号に変換するA/D変換部である。以上説明した各構成要素の動作は後述するが、これらの参考文献として例えば「東芝レビュー、1994、Vol. 49、No. 12」等がある。なお移動ベクトル方向(X方向、Y方向)の定義は図27に示すとおりである。

【0152】図28はペン座標検出装置の原理を説明するための図である。図28(a)は195と196の抵抗膜で形成されるタレットの断面図を示しており、113は非圧入力時に抵抗膜195と196とを接触させておくためのスペーサである。このように、抵抗膜195と196とに検出ペン圧力を加えていないと抵抗膜195と196は非接触状態を保っている。

【0153】図28(b)は、抵抗膜195と196に検出ペン205が圧力を加えている状態を示す図であり、このように検出ペンからの圧力が加えられると抵抗膜195と196とは接触状態になる。また検出ペン205から圧力を加えられている箇所を対向電極207とし、図28(c)に示すように導電層197と対向電極207との間の抵抗をR15とし、導電層198と対向電極207との間の抵抗をR16とし、200と検出ペン205との間の抵抗をR20とする。なお、195と196の抵抗膜にはある一定のシート抵抗が存在するが、導電層197、198、199、200ではこのシート抵抗が無視できるほど小さい。

【0154】図29に、インピーダンス変換部202の構成を示す。図29の208および209はオペアンプであり、いわゆるボルテージフォロワーとして用いられており、入力信号をインピーダンス変換して出力する。

【0155】図30にSW1～SW4の制御を示す。CNT1がHighレベルのとき、SW1、SW2はオン状態であり、CNT1がLowレベル時はSW1、SW2はオフ状態である。CNT2がHighレベル時にはSW3、SW4はオン状態であり、CNT2がLowレベルのときにはSW3、SW4はオフ状態である。CNT1及びCNT2は常に両方が逆位相で駆動されている。

【0156】図31に図28(c)の場合の等価回路を示す。図31(a)はCNT1=Low、CNT2=Lowの場合の等価回路を示しており、導電層199および6に電圧が印加されておらず導電層197に0Vが198に5Vが印加されている。したがって、6の電圧は $(5 \times R15) / (R15 + R16)$ となるため $X' = (5 \times R15) / (R15 + R16)$ である。つまり、検出ペンのX方向の位置14がアナログ信号X'として検出された。

【0157】図31(b)はCNT1=Low、CNT2=Highの場合の等価回路を示しており、導電層197および導電層198には電圧が印加されておらず導

電層 199 に 0V が、6 に 5V が印加されている。したがって、200 の電圧は 5V となるため $X' = 5V$ である。本実施例では、 $X' = 5V$ の場合には、これをペンの X 方向の位置を示すアナログ信号として取り扱わない。

【0158】図 32 に図 28 (c) の場合の等価回路図を示す。図 32 (a) は $CNT1 = High$ 、 $CNT2 = Low$ の場合の等価回路を示しており、導電層 199 および 6 に電圧が印加されておらず導電層 197 に 0V が 198 に 5V が印加されている。したがって、198 の電圧は 5V であり、 $Y' = 5V$ となる。本実施例では $Y' = 5V$ の場合これをペンの Y 方向の位置を示すアナログ信号として取り扱わない。

【0159】図 32 (b) は $CNT1 = Low$ 、 $CNT2 = High$ の場合の等価回路を示しており、導電層 197 及び導電層 198 に電圧が印加されておらず、導電層 199 に 0V が導電層 200 に 5V が印加されている。したがって、6 の電圧は 5V となるため、 $Y' = (5 \times R19) / (R19 + R20)$ である。つまり、検出ペンの Y 方向の位置 14 がアナログ信号 Y' として検出された。

【0160】図 27 に例示した表示装置では以上のようにペンの位置を検出する。すなわち、 $CNT1 = High$ 、 $CNT2 = Low$ の場合には検出ペンの X 方向の位置をアナログ信号として検出し、一方、 $CNT196 = High$ 、 $CNT1 = Low$ の場合には検出ペンの Y 方向の位置をアナログ信号として検出する。そして、得られたアナログ信号を A/D 変換部 203 によりデジタル信号 DX、DY に変換する。デジタル信号 DX、DY に変換する。デジタル信号 DX、DY は図 27 のペンスピード検出部 170、ベクトル変化検出部 171 および補正部 172 に出力されて補正される。

【0161】この例で説明したような構成、手法により本発明の液晶表示装置において位置検出を行うようにしてもよい。

【0162】

【発明の効果】以上説明したように本発明の液晶表示装置によれば、二重像、視差ズレ（バララックス）などの画質低下、厚さ・重量アップの問題を、製造コストを増加させることなく、液晶表示装置等の表示装置に位置検出機能を付加することができる。したがって本発明によれば、高画質で消費電力が小さく、かつ軽量薄型の座標入力機能付き液晶表示装置を提供することができる。また本発明の表示装置を例えば携帯型情報端末に適用することにより、可搬性が高く、表示品質が良好で、かつ入力精度の高い位置検出機能内蔵型表示装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の液晶表示装置の断面構造の例を概略的に示す図。

【図 2】本発明の液晶表示装置の断面構造の例を概略的に示す図。

【図 3】本発明の液晶表示装置の断面構造の例を概略的に示す図。

【図 4】本発明の液晶表示装置の断面構造の例を概略的に示す図。

【図 5】本発明の液晶表示装置の断面構造の例を概略的に示す図。

【図 6】本発明の液晶表示装置の断面構造の例を概略的に示す図。

【図 7】本発明の液晶表示装置の断面構造の例を概略的に示す図。

【図 8】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図 9】液晶セルと抵抗膜との関係を説明するための図。

【図 10】本発明の液晶表示装置が備える抵抗膜のパターンの例を概略的に示す図。

【図 11】本発明の液晶表示装置が備える抵抗膜のパターンの例を概略的に示す図。

【図 12】圧力検出素子が圧電体からなる場合の座標算出方法の例を説明するための図。

【図 13】圧力検出素子が感圧体からなる場合の座標算出方法の例を説明するための図。

【図 14】表面分割型を用いバイアス電位 VB を設定したときの等価回路。

【図 15】圧力検出素子として感圧体または圧電ゲート薄膜トランジスタを用いた場合の等価回路。

【図 16】圧力検出素子が圧電体からなり、表面分割型を用い対向をフローティングとしたときの等価回路。

【図 17】圧力検出素子が圧電体からなり、両面分割型を用いたときの等価回路。

【図 18】圧力検出素子として感圧体または圧電ゲート薄膜トランジスタを用い、両面分割型を用いたときの等価回路。

【図 19】圧力検出素子として圧電ゲート薄膜トランジスタを用いた場合の等価回路（表面分割型）。

【図 20】圧力検出素子として圧電ゲート薄膜トランジスタを用いた場合の等価回路（両面分割型）。

【図 21】圧電体を用いたときの座標検出回路の構成の例を示す図。

【図 22】感圧体をゲートに接続した薄膜トランジスタを用いた時の座標検出回路の構成の例を示す図。

【図 23】圧電体を用いたときの座標検出回路の構成の例を示す図。

【図 24】感圧体をゲートに接続した薄膜トランジスタを用いた時の座標検出回路の構成の例を示す図。

【図 25】圧電体を用いたときの座標検出回路の構成の例を示す図。

【図 26】圧力検出素子として感圧体または圧電ゲート

薄膜トランジスタを用いた場合の座標検出回路の構成の例を示す図。

【図 27】ペン入力機能を備えた表示装置の構成の例を示す図。

【図 28】ペン座標検出装置の原理を説明するための図。

【図 29】インピーダンスの構成の例を説明するための図。

【図 30】SW1～SW4の制御を説明するための図。

【図 31】図 28 (c) に対応する等価回路。

【図 32】図 28 (c) に対応する等価回路。

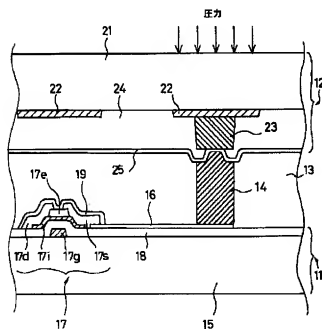
【図 33】図 28 (c) に対応する等価回路。

【符号の説明】

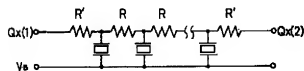
- 11.....アレイ基板
- 12.....対向基板
- 13.....液晶層
- 14.....スペーサ
- 15.....絶縁性基板

- 16.....画素電極
- 17.....薄膜トランジスタ
- 17g.....ゲート電極
- 17s.....ソース電極
- 17d.....ドレイン電極
- 17i.....半導体膜
- 18.....ゲート絶縁膜
- 19.....パッシベーション膜
- 21.....絶縁性基板
- 22.....抵抗膜
- 23.....圧電体
- 24.....カラーフィルタ
- 25.....コモン電極
- 26.....バイアス電極
- 31.....ブラックマトリクス
- 40.....MIM
- 50.....感圧ゲート薄膜トランジスタ

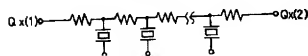
【図 1】



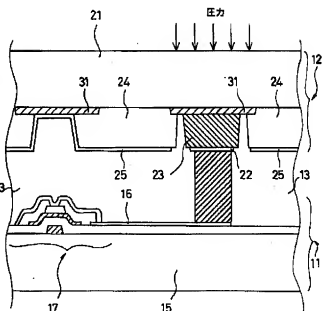
【図 14】



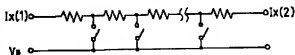
【図 16】



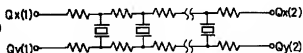
【図 2】



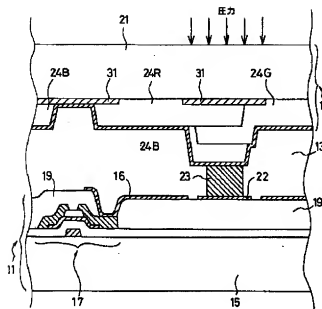
【図 15】



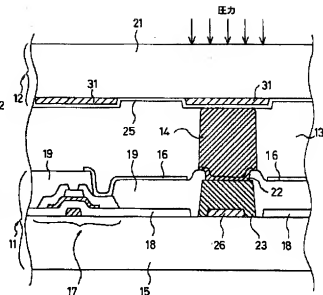
【図 17】



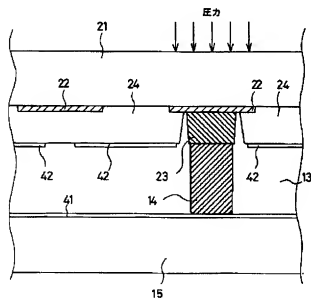
【図 3】



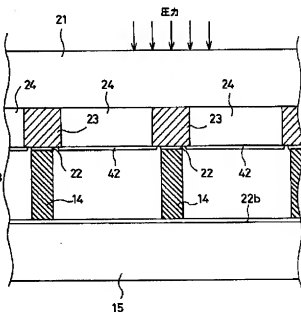
【図 4】



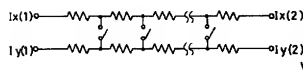
【図 5】



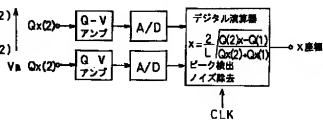
【図 6】



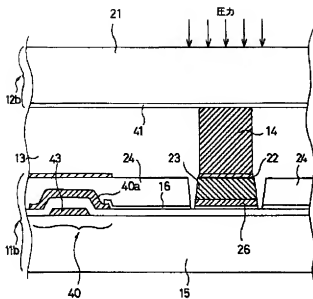
【図 18】



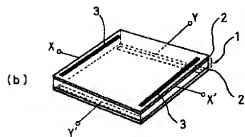
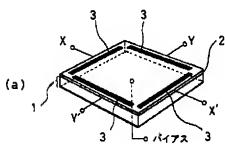
【図 21】



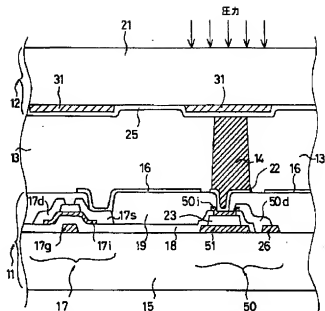
【図 7】



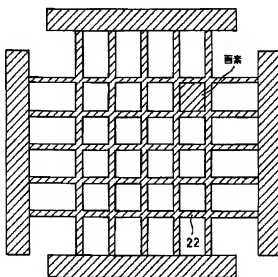
【図 9】



【図 8】

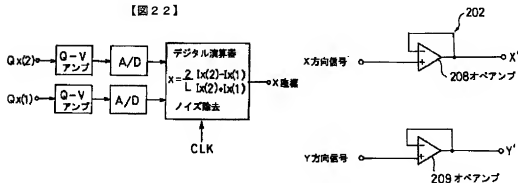


【図 10】

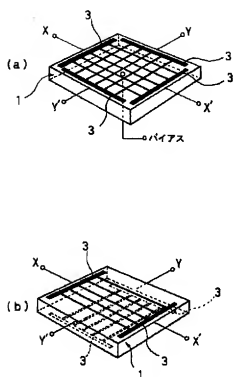


【図 29】

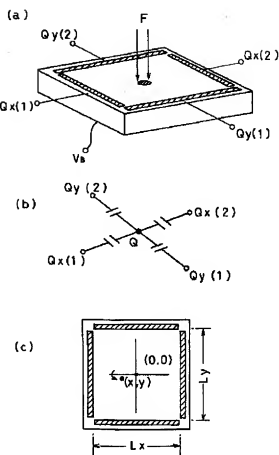
【図 22】



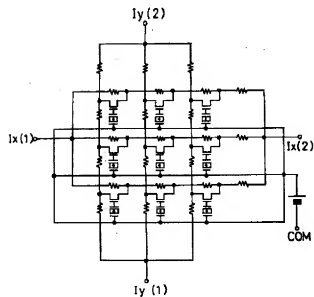
【図 11】



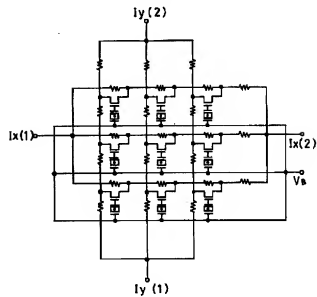
【図 12】



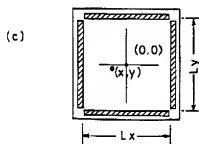
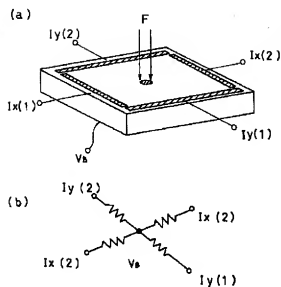
【図 19】



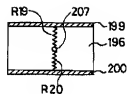
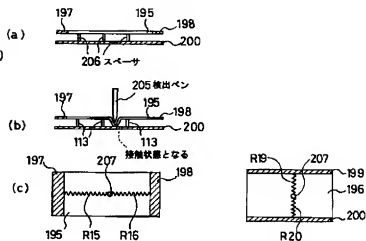
【図 20】



【図 13】



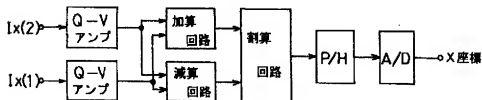
【図 28】



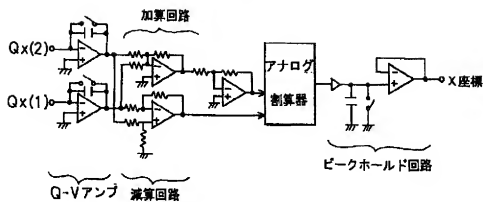
【図 23】



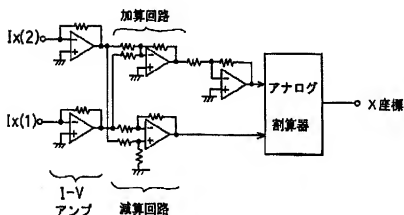
【図 24】



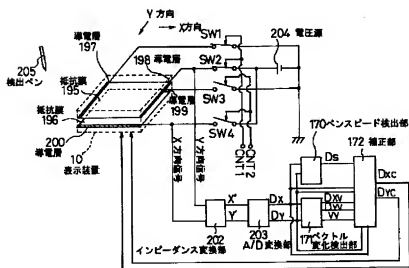
【図 25】



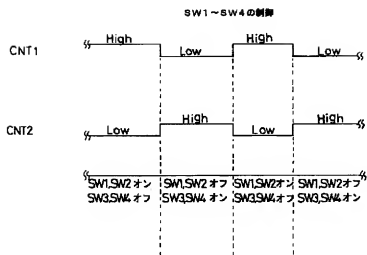
【図 26】



【図 27】

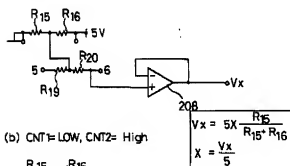


【図 3 0】

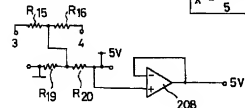


【図 3 1】

(a) CNT1=High CNT2= LOW

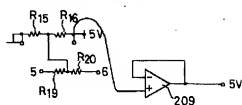


(b) CNT1=LOW, CNT2= High

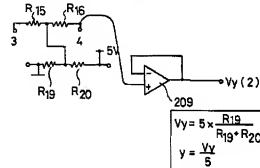


【図 3 2】

(a) CNT1=High CNT2= LOW



(b) CNT1= LOW, CNT2= High



【図 3 3】

